

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-222730

(43)Date of publication of application : 30.08.1996

(51)Int.Cl.

H01L 29/78  
H01L 23/58  
H01L 27/04  
H01L 21/822

(21)Application number : 07-024954

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.02.1995

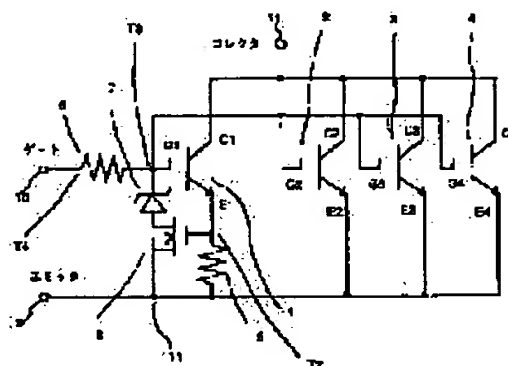
(72)Inventor : SAKURAI NAOKI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To eliminate a current concentration on a specific semiconductor device, to make low a rebound voltage and to prevent a breaking of the semiconductor device by a method wherein the semiconductor device for detecting an excess current to reduce a current is provided one piece only.

**CONSTITUTION:** A resistor 5 is provided between the emitter E1 of an IGBT 1 for detection and an emitter terminal 9, and a gate of a MOSFET 8 is connected with the resistor 5 and the emitter E1 of the IGBT 1. In order to make a high current flow, IGBTs 2, 3 and 4 having higher capacity than the IGBT 1 are connected in parallel. Thereby, as an individual semiconductor element has no function for detecting an excess current to reduce a current, but all the semiconductor elements have the function in common, the current is cut off simultaneously by the plurality of semiconductor devices. Accordingly, the current is never concentrated on a specific semiconductor device, a rebound voltage also becomes low and the semiconductor device is hardly broken.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222730

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/78		H 0 1 L	29/78
	23/58			3 0 1 K
	27/04			C
	21/822			H
				3 0 1 J

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平7-24954

(22) 出願日 平成7年(1995)2月14日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 板井 直樹

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

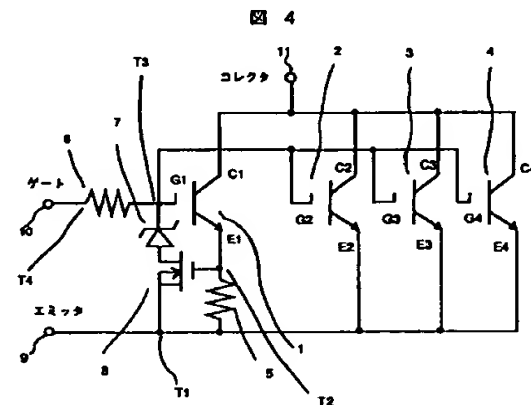
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【構成】過電流を検出して電流を低減する機能を持つ半導体装置であって、複数の半導体素子を並列に動作させて大電流を得る半導体装置において、過電流を検出して電流を低減する装置が1個のみ設けた。

【効果】過電流を検出して電流を低減する機能は個々の半導体素子を持つのではなく、共通のため、電流は複数の半導体装置で同時に遮断されるため、特定の半導体装置に電流が集中することがなくこのため跳ね上がり電圧も小さくなり、半導体装置が破壊しにくくなる。



## 【特許請求の範囲】

【請求項1】過電流を検出して電流を低減する機能を持つ半導体装置であって、複数の半導体素子を並列に動作させて大電流を得る半導体装置において、過電流を検出して電流を低減する装置を1個のみ設けたことを特徴とする半導体装置。

【請求項2】請求項1において、検出用の電流が流れる半導体素子及びゲート電圧を低下させる回路が複数の主電流を流す半導体素子のうち1個のチップのみに集積化されている半導体装置。

【請求項3】請求項1において、複数の主電流を流す半導体素子のうち1個のみに検出用の電流が流れる半導体素子が内蔵されている半導体装置。

【請求項4】請求項1または3において、ゲート電圧を低下させる回路は主電流を流す半導体素子とは別チップである半導体装置。

【請求項5】複数のモジュールを並列に接続する半導体装置において、モジュールのうち1個のみに過電流を検出して電流を低下させる手段が設けられていることを特徴とする半導体装置。

【請求項6】請求項5において、各モジュールには検出用の電流を流す半導体素子が設けられている半導体装置。

【請求項7】請求項7において、検出用の電流を流す半導体素子は、電流が流れる端子は互いに金属で接続されている半導体装置。

【請求項8】請求項1から7の半導体装置をスイッチング素子に使用したインバータ装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置に関する。

【0002】

【従来の技術】絶縁ゲートバイポーラトランジスタ (Insulated gate bipolar transistor 以下IGBTと称す) は、電圧駆動型素子であるため、電流駆動型のバイポーラトランジスタやGTOより駆動電力が小さくこのため駆動回路を簡単にでき、またMOSFETに比べオン電圧が小さく損失が少ないため、電源やインバータ等の分野に急速に広まっている。IGBTは過電流や短絡電流が流れたとき、電流を急激に遮断すると安全動作領域を越え破壊してしまうことがある。これを防止する方法が特開平2-66975号に述べられている。図1に回路を示す。検出用のIGBTQ1のエミッタとエミッタ端子間には抵抗R1が設けられている。抵抗R1及びQ1のエミッタにはMOSFETM1のゲートが接続されている。M1のソースはエミッタ端子に接続されている。ゲート端子とIGBTQ1のゲート間には抵抗R2が設けられている。また、R2とIGBTQ2のゲート間には抵抗R3が設けられている。Q1のゲートとM1のドレイン間にツェナーダイオードZD1が設けられている。この回路は次のように動作する。過

電流が流れると抵抗R1の両端の電圧降下が大きくなりMOSFETM1が動作し、ツェナーダイオードZD1のアノードはほぼ0Vまで低下する。このためZD1にはゲート電圧Vg1が加わる。ZD1のツェナー電圧をVg2に選んでおけばQ1、Q2に加わる電圧はVg1からVg2に低下する。このようにゲート電圧を一旦低下させることにより流れる電流を小さくし、この小さな電流を遮断することにより跳ね上がり電圧を押さえることができる。

10 【0003】

【発明が解決しようとする課題】大きな電流を流す場合、このような半導体素子を複数個並列に接続する。図2にその例を示す。この例では、3個並列に接続した場合を示した。従来例では、並列に接続した半導体素子1個1個に過電流保護回路が接続していた。過電流回路を構成する素子のばらつきにより過電流と検出する電流が素子により異なる。この例では、素子A<素子B<素子Cの順に検出電流レベルが大きくなるとする。この時の動作を図3に示す。まず、もっとも検出レベルの低い素子Aの過電流検出回路が動作し素子Aの主電流が流れるQ2のゲート電圧をVg1からVg2に低下させる。これによりQ2を流れる電流は1/3から10に低下する。素子Aを流れていた電流は素子B、Cに流れる。このため素子B、Cに流れる電流は1/3から1/3+(1/3-10)に増加する。次に素子Bの過電流検出回路が動作し、素子Bの電流は10に低下する。この時、素子Cの電流は1-2×10に増加する。この時素子Cにほとんどの電流が集中した状態で電流を遮断するため大きな跳ね上がり電圧が生じ、この跳ね上がり電圧により素子が破壊することがあった。

20

【0004】本発明の目的は電流を均一に遮断し、破壊しにくい半導体装置を提供することにある。

【0005】

【課題を解決するための手段】本発明は、上記問題を解決するため、過電流を検出して電流を低減する機能を持つ半導体装置であって、複数の半導体素子を並列に動作させて大電流を得る半導体装置において、過電流を検出して電流を低減する装置を1個のみ設けたものである。

40 【0006】

【作用】過電流を検出して電流を低減する機能は個々の半導体素子が持つのではなく、共通のため、電流は複数の半導体装置で同時に遮断されるため、特定の半導体装置に電流が集中することがなくこのため跳ね上がり電圧も小さくなり、半導体装置が破壊しにくくなる。

【0007】

【実施例】以下、実施例を図面に基づいて、詳細に説明する。

【0008】図4は、本発明の第1の実施例を示す。検出用のIGBT1のエミッタE1とエミッタ端子間9に

50

は抵抗5が設けられている。抵抗5及びIGBT1のエミッタにはMOSFET8のゲートが接続されている。MOSFET8のソースはエミッタ端子9に接続されている。ゲート端子10とIGBT1のゲートG1間には抵抗6が設けられている。G1とMOSFET8のドレイン間にツェナーダイオード7が設けられている。また大電流を流すため、IGBT1より十分大きな電流を流すことができるIGBT2、3及び4が並列に接続されている。IGBT1のゲートG1と、IGBT2、3及び4のゲートG2、G3及びG4が接続されている。IGBT1のコレクタC1

と、IGBT2、3及び4のコレクタC2、C3及びC4が接続され、更にこれらの端子はコレクタ端子11と接続されている。IGBT2、3及び4のエミッタE2、E3及びE4はエミッタ端子9に接続されている。【0009】この回路は次のように動作する。過電流が流れると抵抗5の両端の電圧降下が大きくなりMOSFET8が動作し、ツェナーダイオード7のアノードはほぼ0Vまで低下する。このためツェナーダイオード7にはゲート電圧V<sub>g1</sub>が加わる。ZD1のツェナー電圧をV<sub>g2</sub>に選んでおけばQ1、Q2に加わる電圧はV<sub>g1</sub>からV<sub>g2</sub>に低下する。このようにゲート電圧を一旦低下させることにより流れる電流を小さくし、この小さな電流を遮断することにより跳ね上がり電圧を押さえることができる。

【0010】図5はIGBT1のゲート及びIGBT2、3、4に流れる電流、IGBT4の跳ね上がり電圧の時間変化を示す。主電流を流すIGBTが3個あっても過電流を検出してゲート電圧を低下させる回路が1つしかないので、IGBT2、3、4の電流は同時に減少している。このため、特定のIGBTのターンオフが遅くなり、そのIGBTに電流が集中することがなく、特定のIGBTの跳ね上がり電圧が大きくなるということがなくなり、IGBTが破壊しにくくなる。

【0011】図6は本発明のIGBTをモジュールに組んだときの内部構造を示す。本実施例では、IGBT1、2は1つの半導体チップ12に、また抵抗5、6、ツェナーダイオード7、MOSFET8は別の過電流保護回路チップ13に集積されている。本実施例では、IGBT1、2、抵抗5、6、ツェナーダイオード7、MOSFET8は1つの過電流保護回路チップ13に集積されている。このモジュールは、絶縁板30上に金属で、エミッタ端子9、ゲート端子10、コレクタ端子11が形成されている。半導体チップ12の表面にはエミッタバットE1、E2とゲートバットG2が形成されている。また過電流保護回路チップ13上には、T1、T2、T3、T4の3つのバットが設けられている。T1はMOSFET8のエミッタ及び抵抗5と接続し、エミッタ端子9とボンディングワイヤ32で接続されている。T2は、IGBT1のエミッタ、MOSFET8のゲート、抵抗5と接続し、半導体チップ12のE1とボンディングワイヤ32で接続され

ている。T3は、ツェナーダイオード7のカソード、IGBT1のゲート、抵抗6と接続し、IGBT3、4のゲートバットG3、G4及び半導体チップ12のゲートバットG2とボンディングワイヤ32で接続されている。T4は、抵抗6と接続し、ワイヤボンディング32でゲート端子10と接続されている。IGBT3、4及び半導体チップ12はコレクタ端子11上に形成されている。IGBT3、4及び半導体チップ12は裏面がコレクタ端子となっており、本図面には現れていない半田によりコレクタ端子11と接続されている。更にIGBT3、4及び半導体チップ12のエミッタバットE3、E4、E2は、ボンディングワイヤ32でエミッタ端子9と接続されている。

【0012】図7は、IGBT1、2、抵抗5、6、ツェナーダイオード7、MOSFET8は1つの半導体チップ14に集積されている。半導体チップ14の表面にはエミッタバットE2とゲートバットG1、G2が形成されている。ゲートバットG1は、ゲート端子10とボンディングワイヤ32で接続されている。IGBT2、3及び4のゲートバットG2、G3及びG4は、ボンディングワイヤ32で金属板31と接続されている。すなわち、金属板31を通じてG2、G3及びG4は接続されている。IGBT3、4及び半導体チップ14はコレクタ端子11上に形成されている。IGBT3、4及び半導体チップ14は裏面がコレクタ端子となっており、本図面には現れていない半田によりコレクタ端子11と接続されている。更にIGBT3、4及び半導体チップ14のエミッタバットE3、E4、E2は、ボンディングワイヤ32とエミッタ端子9と接続されている。本実施例では、検出用のIGBT1と、その流れる電流を検出する回路が同一チップのため検出までの時間が短く、保護動作が早い。IGBTが破壊しにくい。また、電流検出用のチップを別に作り接続することがないので製造工程が簡略化でき、低コストで製作できる。なお、主電流が流れるIGBTと同一チップに保護回路及び検出用のIGBTを集積する場合、素子のばらつきにより過電流レベルが数10%ばらつく。従って、保護回路を内蔵しているIGBTを並列に接続した場合、過電流検出レベルの違いによる電流集中が起きやすく、有効である。

【0013】図8はいくつかのモジュールを並列に接続して大電流を得る場合の実施例である。図中点線で囲った部分が各々1個のモジュールに対応する。IGBT1、IGBT2、抵抗5、抵抗6、抵抗17、ツェナーダイオード7、MOSFET8で1個のモジュール30が形成されている。IGBT3、電流検出用IGBT15及び抵抗18よりモジュール31が形成されている。さらにIGBT4、電流検出用IGBT16及び抵抗19よりモジュール32が形成されている。IGBT1と2、3と15、4と16のコレクタはモジュール内で接続されている。IGBT1とIGBT2、IGBT3とIGBT15、IGBT4

10

20

30

40

50

とIGBT16のゲート間は抵抗17、18、19を通してモジュール内で接続されている。モジュール間のゲートをつなぐ場合、配線が長くなるため、配線のインダクタンスによりゲート電圧が跳ね上がりゲートが破壊することがある。本実施例では、大電流が流れるIGBTのゲートに抵抗をつなぐことにより配線のインダクタンスにたまったエネルギーが消費されるため跳ね上がり電圧が抑制されゲートが破壊しない。大電流を流すIGBTにIGBT1、15及び16のエミッタは互いに接続されている。モジュールを並列に接続する場合、各モジュール間の接続部が露出しているため、特定のモジュールのみに導電性のゴミ等が付き過電流が流れる場合がある。本実施例では、各モジュールごとに電流検出用のIGBTを備え、そのエミッタを共通にすることにより、どのモジュールで過電流が起きても電流を遮断することができる。また、モジュール個別に過電流保護回路がついていないので、特定のモジュールのみが過電流保護回路により電流が遮断され、他のモジュールに電流が集中することがない。

【0014】図9はモジュールの結線の状態を示す。E2、E3、E4は互いに金属板33により接続されている。E2、E3、E4と金属板33はボルト35により固定されている。C2、C3、C4は互いに金属板34により接続されている。E2、E3、E4と金属板33はボルト35により固定されている。G2、G3、G4は配線36で接続されている。E1、E15、E16は配線37で接続されている。

【0015】図10はモジュール41の内部構造を示す。本実施例では、3個IGBTを並列にした場合を示した。3個のIGBTのうち1個のIGBTには電流検出用のIGBT15が内蔵されている。絶縁板30上には端子E3、C3、G3及びE15が形成されている。G3上には抵抗18が形成されている。各端子とチップ上のパッドとはボンディング32で接続されている。各チップのゲート端子と抵抗18はボンディングワイヤ32及び金属板31により接続されている。モジュールはレジン等の絶縁物でおおわれているため、ゴミ等で内部のチップが短絡することがない。このため、1個のIGBTのみに電流検出用のIGBTを内蔵しても過電流を検知できないということは起きない。また、他のチップは電流検出用のIGBTを内蔵しないのでその分同じチップ面積で導通領域が増加するので、すべてに電流検出用のIGBTを内蔵する場合に比べてオン電圧が低下する。

【0016】図11は、本発明のIGBTを使って構成したモータ駆動用インバータ回路の例を示す。図面の記号ではIGBTは1個しか示していないが、大電流を流すため、複数のIGBTが並列に接続されている。IGBT200には逆並列にダイオード201が接続されており、IGBTが2個直列に接続され1相が形成されている。IGBTが接続された中点より出力がでており、モ

ータ206と接続されている。上アーム側のIGBT200 a、b、c、dのコクレッタは共通であり、整流回路の高電位側と接続されている。また、下アーム側のIGBT200 d、e、fのエミッタは共通であり、整流回路のアース側と接続されている。整流回路203は、交流202を直流に変換する。IGBT200は、この直流を受電し、再度交流に変換してモータを駆動する。上下の駆動回路204、205は、IGBTのゲートに駆動信号を伝え、所定の周期でIGBTをオン、オフさせる。本実施例では、各IGBTに過電流保護機能が付いているためは従来のIGBTより破壊しにくい。

【0017】なお、本実施例では、半導体素子の例としてIGBTのみについて述べたが、絶縁ゲートを持つ他の種類たとえば、MOSFETやMOSGTOでも同様の効果がある。

【0018】

【発明の効果】過電流を検出して電流を低減する機能を持つ半導体装置であって、複数の半導体素子を並列に動作させて大電流を得る半導体装置において、過電流を検出して電流を低減する装置が1個のみ設けることにより、過電流を検出して電流を低減する機能は個々の半導体素子が持つのではなく、共通のため、電流は複数の半導体装置で同時に遮断されるため、特定の半導体装置に電流が集中することがなくこのため跳ね上がり電圧も小さくなり、半導体装置が破壊しにくくなる。

【図面の簡単な説明】

【図1】従来例の回路図。

【図2】従来例の回路図。

【図3】従来例の各IGBTを流れる電流の時間変化の説明図。

【図4】本発明の回路図。

【図5】本発明の各IGBTを流れる電流の時間変化の説明図。

【図6】本発明のモジュールの内部構造（過電流保護回路は別チップ）の説明図。

【図7】本発明のモジュールの内部構造（過電流保護回路はIGBTと同一チップ）の説明図。

【図8】モジュールを並列接続したときの本発明の回路図。

【図9】モジュールの結線図。

【図10】モジュールの内部構造の説明図。

【図11】本発明のIGBTを使ったインバータ回路図。

【符号の説明】

1、15、16…電流検出用IGBT、2、3、4、200、…IGBT、5、6、17、18、19…抵抗、7…ツェナーダイオード、8…MOSFET、9…エミッタ端子、10…ゲート端子、11…コレクタ端子、12、14…半導体チップ、13…過電流保護回路チップ、30…絶縁板、31、32、33、34…金属板、35…ボ

ルト、36、37…配線、40、41、42…モジュール、201…ダイオード、202…交流電源、203…整

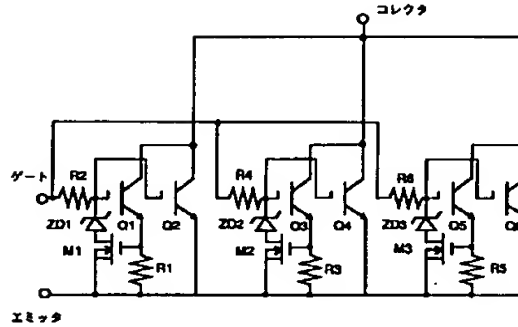
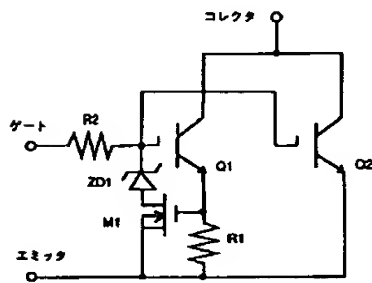
\* 流回路、204…上アーム駆動回路、205…下アーム駆動回路、206…モータ。

【図1】

【図2】

図 1

図 2

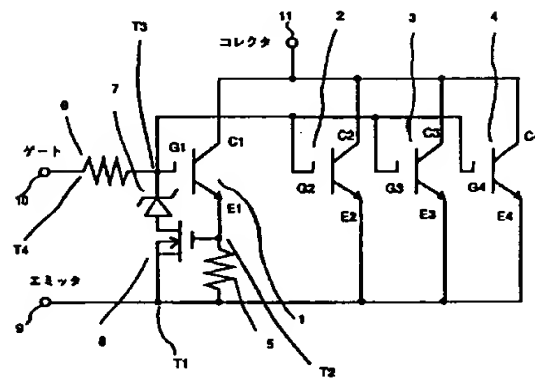
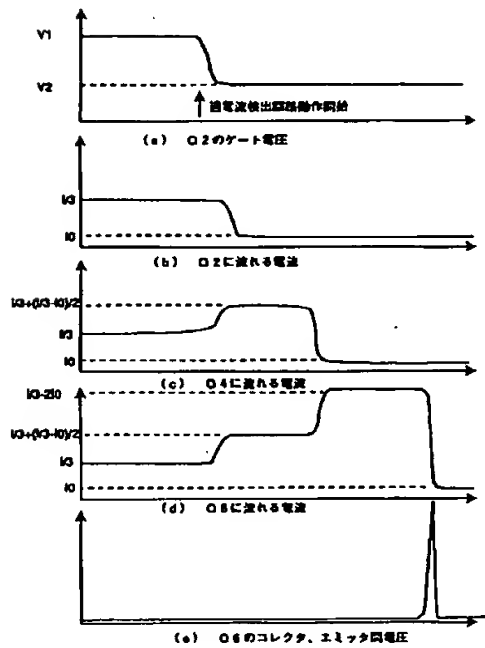


【図3】

【図4】

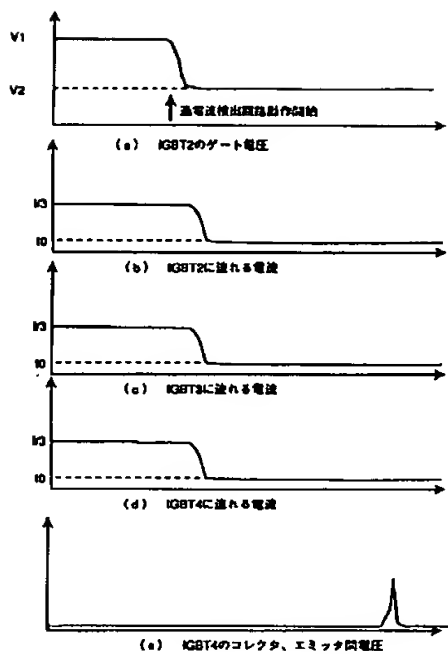
図 3

図 4



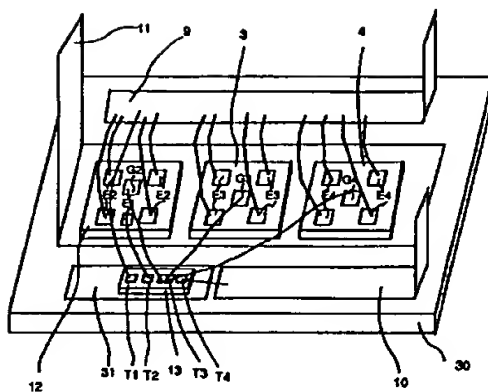
【図5】

図 5



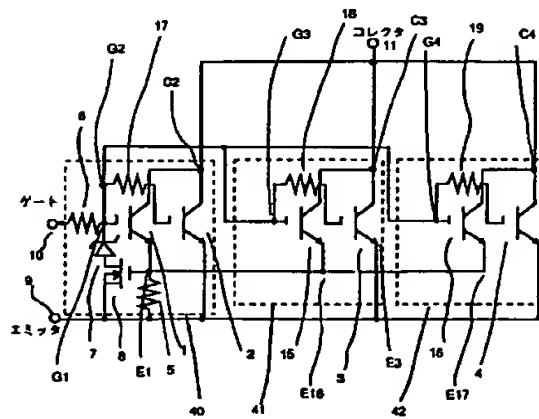
【図6】

図 6



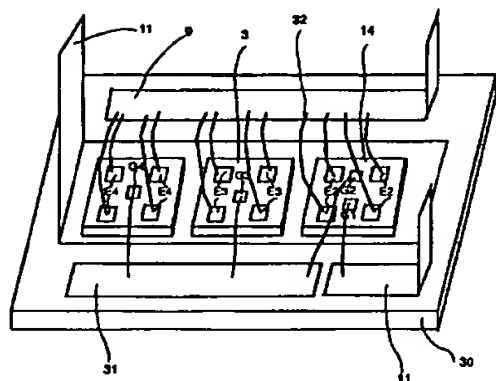
【図8】

図 8



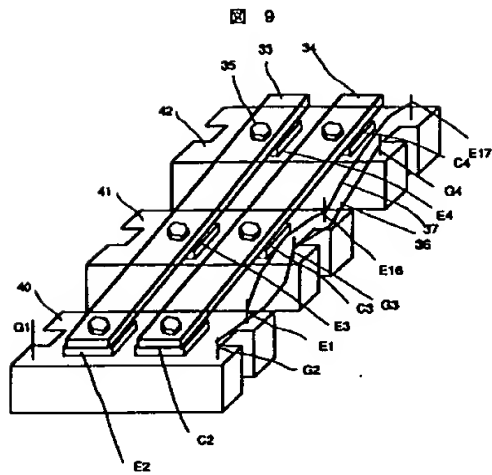
【図7】

図 7

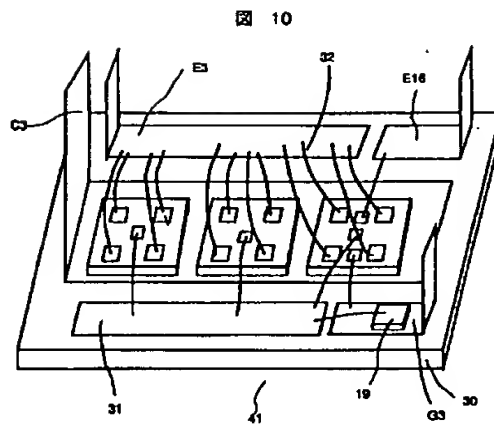




【図9】



【図10】



【図11】

